

DIALOG(R)File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

008526982 **Image available**

WPI Acc No: 1991-031066/199105

XRPX Acc No: N91-024036

Light-emitting device for optical printer - has self-scanning switching element array requiring reduced bias light and being integrally mounted on single substrate

Patent Assignee: NIPPON SHEET GLASS CO LTD (NIPG)

Inventor: KOMABA N; KURODA Y; KUSUDA Y; OHNO S; TANAKA S; TONE K; YAMASHITA K

Number of Countries: 005 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 410695	A	19910130	EP 90308094	A	19900724	199105 B
JP 4005872	A	19920109	JP 90106932	A	19900423	199208
US 5177405	A	19930105	US 90557389	A	19900724	199304
EP 410695	A3	19920902	EP 90308094	A	19900724	199338

Priority Applications (No Type Date): JP 90106932 A 19900423; JP 89192161 A 19890725

Cited Patents: NoSR.Pub; EP 335553; US 3680049; US 3696389

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

EP 410695	A			
-----------	---	--	--	--

Designated States (Regional): DE FR GB

US 5177405	A	39	G09G-003/10	
------------	---	----	-------------	--

Abstract (Basic): EP 410695 A

In the equivalent circuit of the embodiment shown, it can be seen that the light-emitting device consists mainly of transfer light-emitting elements (S(-1) to S (2)) and write light-emitting elements (L(-1) to L(2)). Gates (G-1 to G1) of the light-emitting elements are connected to the gates of the write light-emitting elements. A write signal (Sin) is applied to the anode of each write light-emitting element. ADVANTAGE - A light emission image can be written in the light-emitting element array. The number of LEDs required is kept to a minimum, thus reducing wire-bonding operations and keeping the device compact. (44pp Dwg.No.12A/30)

Abstract (Equivalent): US 5177405 A

The light-emitting device comprises a number of light-emitting cells having a common substrate electrode, each having a common gate and each aligned along a row direction. The light-emitting cell includes a transfer element having a current electrode and the common gate. A coupler is in conjunction with the common gate and connected between the common gates of one cell and the next. A light-emitting element has the common gate and another current electrode.

At least two transfer clock lines are each connected to the current electrode of the transfer elements in every at least second fashion to provide a self-scanning function. A signal line is connected to the other current electrode of the light-emitting element for receiving a light emission control current for light emission. A bias line and a number of pull-up units are provided each connected between the common gate and bias line.

USE/ADVANTAGE - E.g., in optical printer. Prolongs light emission time.

Dwg.12A/30

Title Terms: LIGHT; EMIT; DEVICE; OPTICAL; PRINT; SELF; SCAN; SWITCH; ELEMENT; ARRAY; REQUIRE; REDUCE; BIAS; LIGHT; INTEGRAL; MOUNT; SINGLE; SUBSTRATE

Derwent Class: P85; T04; U12

International Patent Class (Main): G09G-003/10

International Patent Class (Additional): G06K-015/12; G09G-003/32;

H01L-021/66; H01L-027/15; H01L-033/00; H05B-041/16

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): T04-G04; T04-H03B; U12-A01A3

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-5872

⑬ Int. Cl.⁵

H 01 L 33/00
21/66
27/15

識別記号

J
X

庁内整理番号

8934-4M
7013-4M
8934-4M

⑭ 公開 平成4年(1992)1月9日

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 発光メモリ素子アレイ、及びそれを用いた受光・発光モジュール

⑯ 特 願 平2-108932

⑰ 出 願 平2(1990)4月23日

⑱ 発 明 者 楠 田 幸 久 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内
⑲ 発 明 者 大 野 誠 治 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内
⑲ 発 明 者 黒 田 靖 尚 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内
⑲ 発 明 者 駒 場 信 幸 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内
⑳ 出 願 人 日本板硝子株式会社 大阪府大阪市中央区道修町3丁目5番11号
㉑ 代 理 人 弁理士 大野 精市

明 細 書

1. 発明の名称

発光メモリ素子アレイ、及びそれを用いた
受光・発光モジュール

2. 特許請求の範囲

(I) スイッチ素子のゲート電圧と、前記スイッチ素子に印加される転送クロック信号とにより、第1のスイッチ素子に設定されたオン状態を第2、第3…第nのスイッチ素子に順次選択的に転送できるようにした複数のスイッチ素子と、

発光メモリ素子が所定のゲート電圧のとき発光するような電気信号が信号ラインから前記発光メモリ素子に供給されるようにした、前記複数のスイッチ素子に対応した複数の発光メモリ素子とを同一基板上に形成し、前記スイッチ素子のゲート電圧を前記スイッチ素子に対応する前記発光メモリ素子のゲートに印加して、前記複数の発光メモリ素子中の発光させるべき発光メモリ素子を前記転送クロック信号により選択できるようにした発光メモリ素子アレイ。

(II) 発光メモリ素子アレイと、受光素子を複数個配列した受光素子アレイとをからなり、前記発光メモリ素子アレイの各発光メモリ素子からの各光出力が前記各発光メモリ素子に対応する位置にある前記受光素子の各々に入力されるように構成した受光・発光モジュールにおいて、前記発光メモリ素子アレイが特許請求の範囲第I項に記載の発光メモリ素子アレイである受光・発光モジュール。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はチャネルセレクト等に使用でき、且つ集積化可能な、発光位置を選択できる発光メモリ素子アレイ、及びその発光メモリ素子アレイを用いた発光・受光モジュールに関する。

(従来の技術)

交換器は多数の送信者と多数の受信者間でチャネルの選択を任意に行いたい場合、必要な装置である。しかし電気的な交換器は配線が複雑になること、高周波になると配線がアンテナとして働き、

クロストークが発生するといった欠点があった。そのため近年、光を用いた交換器が注目を浴びている。この光交換器の一例を第6図及び第7図に示す。本図は送信者3×受信者3の交換器を示し、動作原理を説明するため最も簡単な構成としている。T1、T2、T3が送信側であり、R1、R2、R3が受信側である。D11～D33は発光ダイオードであり、P1、P2、P3は受光トランジスタである。発光ダイオードの選択はスイッチS11～S33によって行われる。第7図において、(10)は発光ダイオードアレイであり、(11)はレンズ、(12)は受光トランジスタアレイを表す。レンズによって発光ダイオードと受光位置が1対1に対応づけられている。

この光交換器に要求される機能として、受信側が好みの送信側を独立して選択できることが挙げられる。第6図ではスイッチS11～S33を独立して選択することによってこの機能を達成することができる。

(発明が解決しようとする課題)

しかしながらこのスイッチはS11～S33を発光ダ

イオードと同一基板上に形成することは困難である。このため、別にスイッチ素子アレイを作成し、発光ダイオードに近接して設け、ボンディング等の技術によって接続するかまたは発光ダイオードの端子を全て外部に取り出し電氣的に結線する等の構成になる。前者の構成では発光ダイオードアレイの面積が大きくなってしまいと同時に組立コストがかなり高くなるという欠点がある。また後者の構成では発光素子の数が増えてくると外部に取り出す配線量が膨大になり、現実的な発光素子数ひいてはチャネル数が限定されるという欠点があった。

(課題を解決するための手段)

本発明は、上記欠点を解決するためになされたものであって、スイッチング動作のゲート電圧を順次変化できるスイッチ素子に転送クロック信号を加え、スイッチ素子のオン状態を他のスイッチ素子に順次選択的に転送できるスイッチ素子アレイを用いて発光メモリ素子の発光位置を選択可能にした発光メモリ素子アレイ、及びその発光メモ

リ素子アレイと受光素子アレイとを組合せた発光・受光モジュールを提供する。ここで発光メモリ素子とは発光情報を該素子に書き込むことができ、かつ書き込まれた発光情報を書き込み信号が終了した後も保持する機能を有する発光素子を意味する。

すなわち、本発明の第1は、スイッチ素子のゲート電圧と、前記スイッチ素子に印加される転送クロック信号とにより、第1のスイッチ素子に設定されたオン状態を第2、第3…第nのスイッチ素子に順次選択的に転送できるようにした複数のスイッチ素子と、

発光メモリ素子が所定のゲート電圧のとき発光するような電気信号が信号ラインから前記発光メモリ素子に供給されるようにした、前記複数のスイッチ素子に対応した複数の発光メモリ素子とを同一基板上に形成し、前記スイッチ素子のゲート電圧を前記スイッチ素子に対応する前記発光メモリ素子のゲートに印加して、前記複数の発光メモリ素子中の発光させるべき発光メモリ素子を前記

転送クロック信号により選択できるようにした発光メモリ素子アレイである。

また、本発明の第2は前記発光メモリ素子アレイと受光素子を複数個配列した受光素子アレイとをからなり、前記発光メモリ素子アレイの各発光メモリ素子からの各光出力が前記各発光メモリ素子に対応する位置にある前記受光素子の各々に入力されるように構成した受光・発光モジュールである。

(作用)

本発明はスイッチング動作のゲート電圧を順次変化できる素子に転送クロック信号を加えることにより、スイッチ素子のオン状態を他のスイッチ素子に順次選択的に転送できるスイッチ素子アレイと発光メモリ素子アレイとを用いることにより、発光位置を選択可能とした発光メモリ素子アレイを小型化、外部取出し配線数の低減、および組立の簡易化等が可能となり、また、スイッチ素子アレイと発光メモリ素子アレイとが基本的に同一工程で製造できるので、集積化が容易となる。

〔実施例〕

第1図は本発明の基本構成図である。Ch1~ChNは送信側のチャネル番号であり、 $\phi_1(1) \sim \phi_1(N)$ はスイッチ素子のオン状態を各スイッチ素子に順次選択的に転送できるスイッチ素子アレイ SR1~SRNのスタートパルスであり、 $\phi_2(1) \sim \phi_2(N)$ 、 $\phi_3(1) \sim \phi_3(N)$ は転送クロックパルスである。 $S_{21} \sim S_{2N}$ は発光メモリ素子の番号であり、 R_2 は発光メモリ素子の電流制限抵抗である。 $\phi_4(1) \sim \phi_4(N)$ は発光メモリ素子のリセットパルスである。

第2図は発光メモリ素子 S_{21} 、 S_{31} 、 S_{41} とこれに対応するスイッチ素子アレイSR1の等価回路である。第2図に示されたスイッチ素子アレイ SR1は隣接するスイッチ素子 $T_{21} \sim T_{41}$ 間を各々ダイオード $D_{21} \sim D_{41}$ に接続したもので、転送クロック ϕ_1 と ϕ_2 の2本の転送クロックにてシフトレジスタ動作をするスイッチ素子アレイSR1から、その出力としてスイッチ素子 $T_{21} \sim T_{41}$ のゲート電圧が利用される。今スタートパルス ϕ_{11} (第1図)によりスイッチ素子 T_{21} (スイッチ素子はサイリスタ

である)がオン状態にされ、この時ゲート電位 G_{21} はほぼ零Vとなる。一方、ダイオード D_{21} を介したスイッチ素子 T_{21} のゲート電位 G_{21} はダイオードの逆方向となるため、電位は V_{21} によって電圧 V_{21} により5Vが印加されている。またダイオード D_{31} を介したゲート G_{31} はダイオードの順方向立ち上がり電圧 V_{31} (約1V)だけ高い電圧、即ち約1Vとなる。このため発光メモリ素子 S_{21} 、 S_{31} 、 S_{41} (これも基本的にサイリスタであるが)のゲート電圧もスイッチ素子 T_{21} 、 T_{31} 、 T_{41} のゲート G_{21} 、 G_{31} 、 G_{41} の電圧のそれぞれに対応する電圧5V、0V、2Vに設定される。発光メモリリセットパルス $\phi_4(1)$ の電位を零Vに設定しておけば、発光メモリ素子 S_{21} 、 S_{31} 、 S_{41} のターンオン電圧はそれぞれのゲート電位より V_{21} だけ高い値、即ち約6V、1V、2Vとなる。従って、Ch2~Ch4のDC電圧を1V~2Vの間設定しておけば、スイッチ素子アレイSR1のオンされたスイッチ素子 T_{21} に対応する発光メモリ素子 S_{21} のみが発光する。この時の発光メモリ素子の電流制限は抵抗 R_2 によって行わ

7

8

れ、Ch3のDC電圧に重畳された変調信号によって発光メモリ素子 S_{31} の発光強度が変化し、これが光信号出力として外部に取り出されることになる。

次にチャネルを切り替えるには、まず一度発光メモリリセットパルス $\phi_4(1)$ の電位を2V以上に上げるか、または電流をカットすることによってオン状態の発光メモリ素子をオフ状態とする。そして、第3図に示す転送クロック信号を ϕ_1 、 ϕ_2 (パルスは2V)を第2図の信号ラインに印加するとスイッチ素子 T_{21} をオフ状態、スイッチ素子 T_{31} がオン状態に変化し、この転送クロック信号のパルスの数によって選択したりスイッチ素子 T_{41} まで順次オン状態を転送できる。この後再び発光メモリリセットパルス $\phi_4(1)$ の電圧を零Vに設定すると転送されたオン状態のスイッチ素子 T_{31} に対応する発光メモリ素子がオンし、すなわちチャネルCh3の光信号を外部に取り出すことができる。

以上のようなチャネルの選択、切り替えは各ス

イッチ素子アレイSR1ごとに独立に行うことが可能である。従ってNヶ存在するスイッチ素子アレイSR1~SRNは全く独立に動作させることができる。

第4図に発光メモリ素子アレイと受光素子アレイであるフォトダイオードアレイを組み合わせた例をしめす。ここではチャネル数5の場合を例示している。送信者側からCh1~Ch5の放送が流れており、受信者はA~Eの5名である。ここでは送信者と受信者が同数の場合を例示したが、必ずしもこれに限られず、数は異なっているものももちろんよい。この図ではレンズ系は図示されていないが、送信者側の光出力が受信者側の対応する位置に集光されるよう構成されている。受信者はそれぞれ独立に所望のチャネルを選択する。チャネルCh1~5の選択の方法は先に述べたスイッチ素子アレイSR1~SR5に印加される転送クロックパルスにより行われ、第4図に示されたように複数の受信者が同一のチャネルを選択することも可能である。

本実施例に例示した構成は受信者数と同数のスイッチ素子アレイと送信者数と同数のチャネル数

9

10

が必要となる。従って、本実施例の発光メモリ素子アレイに必要な信号線数は電源、CNDを含めて

送信側数+受信者数 $\times(3+1)+2$

だけ必要となる。すなわち、必要な信号線数は送信側の信号線が送信数であり、受信側の信号線は受信者1人当たりスイッチ素子アレイのスタートパルスライン、2本の転送クロック信号ライン及び発光メモリリセットパルスラインであり、その他電源ライン及びアース線が必要となる。一方、第6図乃至第7図に示した従来例の発光素子アレイに必要な信号線数は発光ダイオードの端子を全て外部に取り出さなければならないため、

送信者数 \times 受信者数+1

となる。

今かりに送信者数10、受信者数10の場合を考えると

本実施例：52本

従来例：101本

となり、本実施例の信号線数が従来例の約半数に

なっていることがわかる。この差はチャンネル数が増加するに従って大きくなっていく。それ故、本発明による発光メモリ素子アレイは多量の信号切り替え等に威力を発揮するものである。

第5図に第2図に示した等価回路の一部断面図を示す。(1)は絶縁性を有するG.A.基板であり、(24)は(1)上にMOVPE法等の方法により成長されたN型エピタキシャル層、(23)はP型エピタキシャル層、(22)はN型エピタキシャル層、(21)はP型エピタキシャル層である。この(21)、(22)、(23)、(24)によってPNPNのサイリスタ構造が形成されている。これらの層を形成後、ホットエッチング等の方法により第5図に示される構造を形成する。右側の構造はスイッチ素子 T_{s1} に、左側の構造は発光メモリ素子 S_{s1} に相当する。スイッチ素子アレイ側の結合用ダイオードはスイッチ素子 T_{s1} の(21)、(22)の層を用いて形成されている。これらの素子間を接続する配線はアルミニウム及び金等の金属により形成され、抵抗 R_L 、 R_A は例えばCrとSiOとの混合物を用いて形成できる。第5図から

1 1

明らかなように発光メモリ素子とスイッチ素子用のサイリスタ、ダイオード等が同一基板上に形成出来るため、安価で信頼性の高い発光メモリ素子アレイを形成することが可能である。

尚本発明では発光メモリ素子及びシフトレジスタの基本構成素子としてサイリスタ構造を例示したが、本発明はこの構造に限定されるものでなく、例えばpn構造の3層のpnnpnn構造でも全く同じ機能を得ることができるし、pn構造が4つ以上であったも同様の動作をすることが知られている。また、pnnpnサイリスタ構造に対し、内部のP又はN層のかわりに空乏層を用い、サイリスタとほぼ同じスイッチング特性を得られるように形成された静電誘導サイリスタ(FCTとも呼ばれる。FCT Field-controlled thyristor)(S.M.Sz.著Physics of Semiconductor Devices 2nd edition, pp238-240 記載))と呼ばれる素子を用いてもよい。

また本実施例ではG.A.基板を使用した例を示したが、発光波長を変化させたいければInP基板ZnSe基板他の基板を使用してももちろんよく、本発明

1 3

1 2

は使用する材料に限定されるものではない。

尚本発明の応用例として発光素子アレイと受光素子アレイとを組み合わせた場合に限定されるものでなく、例えば発光メモリ素子からの出力を光ファイバ等に入れるよう構成されたものにも利用可能である。

(発明の効果)

以上に述べてきたように、本発明は発光メモリ素子とスイッチ素子とが同一基板上に形成された発光メモリ素子アレイであり、複数の送信光信号を複数の受信者側が独立に選択することを可能ならしめるものである。またこの発光素子アレイは数多くのチャンネル数が存在する場合でも比較的少ない信号線数で駆動させることができ、かつ発光メモリ素子とスイッチ素子とが基本的に同一製造工程で製作可能であることから安価で高信頼な発光メモリ素子を得ることができる。

4. 図面の簡単な説明

第1図乃至第5図は本発明の実施例を示すものであって、第1図は構成図、第2図は第1図の一

1 4

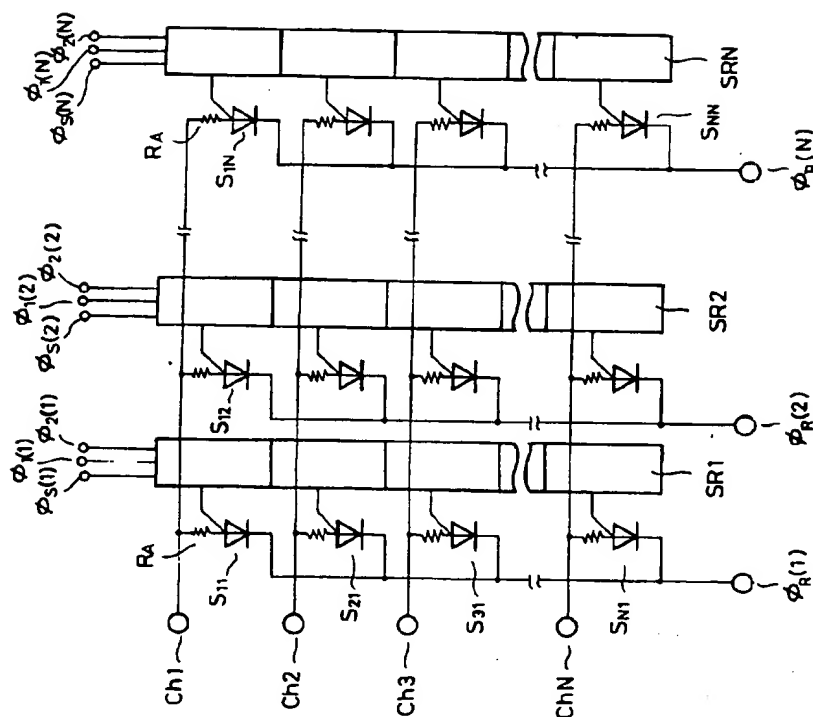
部の等価回路図、第3図はスタートパルスと転送
クロック信号との関係を示す図、第4図は発光メ
モリ素子アレイを用いた受光・発光モジュールの
構成図、第5図は発光メモリ素子アレイの一部断
面構造図、第6図は従来の発光素子アレイの等価
回路図、第7図は従来の発光素子アレイによる受
光・発光モジュール構成図である。

特許出願人 日本板硝子株式会社

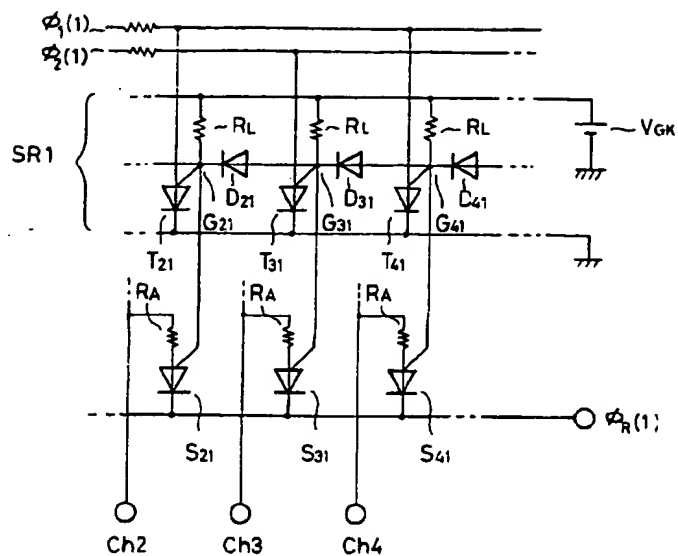
代理人 弁理士 大 野 精 市



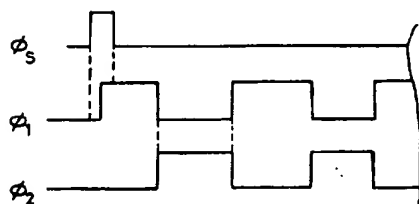
15



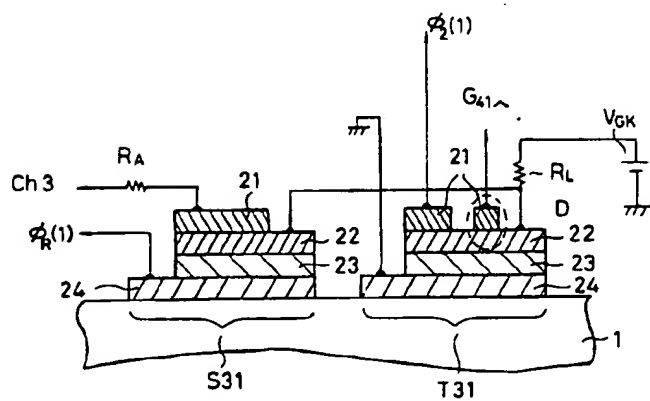
第1図



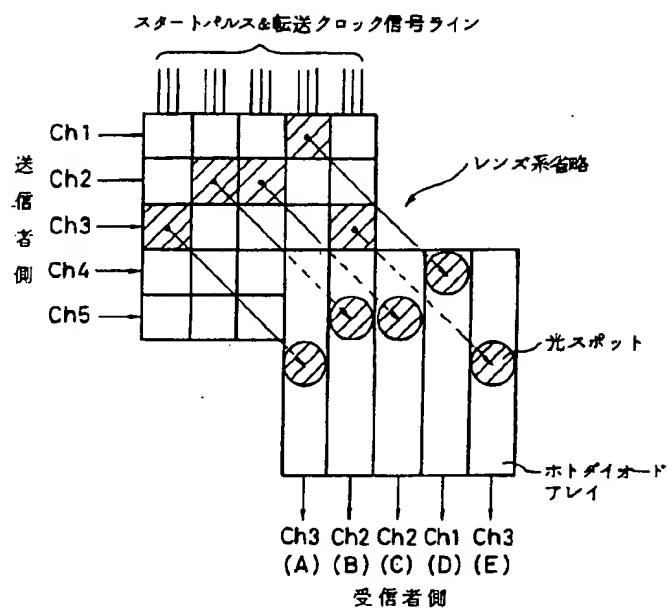
第 2 図



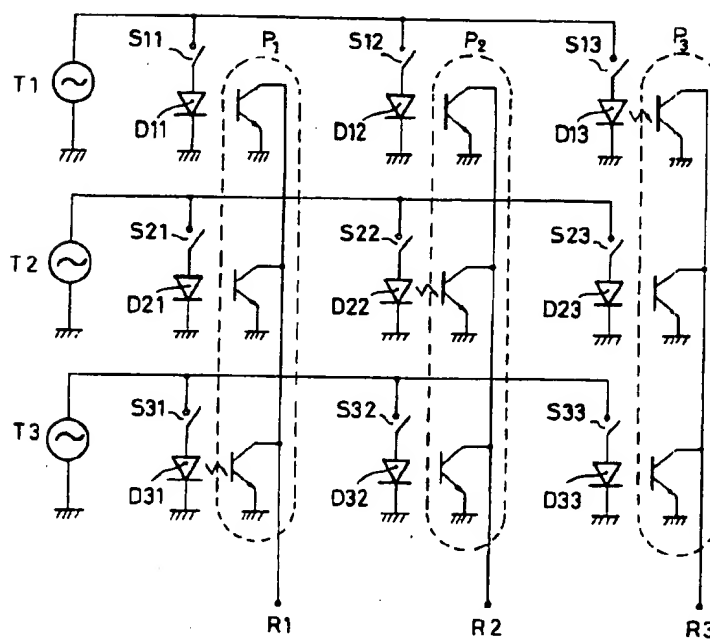
第 3 図



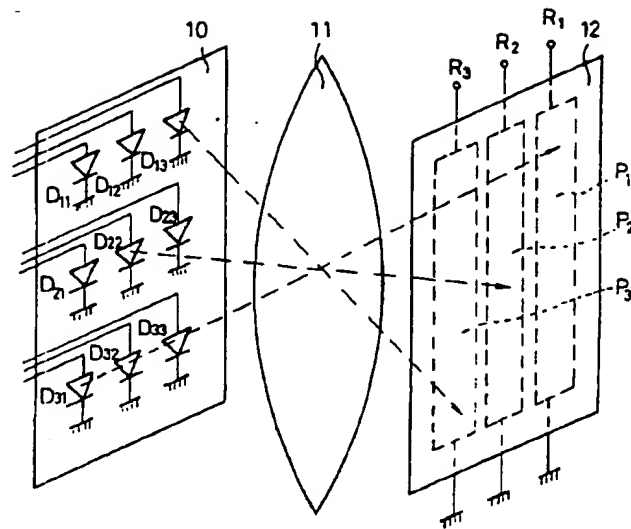
第 5 図



第 4 図



第 6 図



第 7 図